

#2

Attorney Docket No. 1566.1004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

J1040 U.S. PTO
09/973767
10/11/01

In re Patent Application of:

Hideaki WATANABE, et al.

Application No.:

Group Art Unit:

Filed: October 11, 2001

Examiner:

For: DIFFERENTIAL SIGNAL OUTPUT APPARATUS, SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS HAVING THE DIFFERENTIAL SIGNAL OUTPUT APPARATUS, DIFFERENTIAL SIGNAL TRANSMISSION SYSTEM, SIGNAL DETECTION APPARATUS, SIGNAL DETECTION METHOD, SIGNAL TRANSMISSION SYSTEM AND COMPUTER-READABLE PROGRAM

SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN APPLICATION IN ACCORDANCE WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application Nos. 2001-185309 and 2001-185040

Filed: June 19, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: October 11, 2001

By: _____

James D. Halsey, Jr.
Registration No. 22,729

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: June 19, 2001

Application Number: Patent Application No. 2001-185309

Applicant(s): FUJITSU LIMITED
FUJITSU VLSI LIMITED

August 3, 2001

Commissioner,
Patent Office Kohzoh OIKAWA

Certification No. 2001-3069215

日本国特許庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/973767
10/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 6月19日

出願番号
Application Number:

特願2001-185309

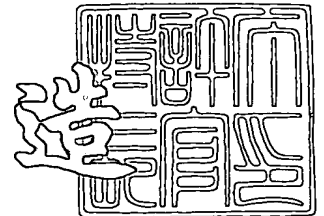
出願人
Applicant(s):

富士通株式会社
富士通ヴィエルエスアイ株式会社

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3069215

【書類名】 特許願

【整理番号】 0140362

【提出日】 平成13年 6月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/45

【発明の名称】 差動信号出力装置、該差動信号出力装置を有する半導体
集積回路装置、及び差動信号伝送システム

【請求項の数】 9

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
 ィエルエスアイ株式会社内

 【氏名】 渡辺 英明

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

 【識別番号】 100098431

 【弁理士】

 【氏名又は名称】 山中 郁生

 【電話番号】 052-218-7161

【選任した代理人】

 【識別番号】 100097009

 【弁理士】

 【氏名又は名称】 富澤 孝

【手数料の表示】

 【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動信号出力装置、該差動信号出力装置を有する半導体集積回路装置、及び差動信号伝送システム

【特許請求の範囲】

【請求項 1】 差動信号を入力する差動対と、
前記差動対の一端に接続され、前記差動対に電流を供給する電流源と、
前記電流源から前記差動対の各構成トランジスタへの分岐ノードと、低インピーダンスノードとの間に接続されるコンデンサとを備えることを特徴とする差動信号出力装置。

【請求項 2】 前記低インピーダンスノードは、電源電圧、あるいは接地電圧であることを特徴とする請求項 1 に記載の差動信号出力装置。

【請求項 3】 差動信号を入力する差動対と、
前記差動対の一端に接続され、前記差動対に電流を供給する第 1 電流源と、
前記第 1 電流源から前記差動対の各構成トランジスタへの分岐ノードと電流供給装置との間に接続されるコンデンサとを備えることを特徴とする差動信号出力装置。

【請求項 4】 前記電流供給装置は、第 2 電流源であることを特徴とする請求項 3 に記載の差動信号出力装置。

【請求項 5】 第 1 導電型で構成される第 1 差動対と、
前記第 1 差動対の一端に接続され、前記第 1 差動対に電流を供給する第 1 電流源と、
差動出力端子を前記第 1 差動対の差動出力端子に接続し、第 2 導電型で構成される第 2 差動対と、
前記第 2 差動対の一端に接続され、前記第 2 差動対に電流を供給する第 2 電流源と、
前記第 1 電流源から前記第 1 差動対の各構成トランジスタへの第 1 分岐ノードと、前記第 2 電流源から前記第 2 差動対の各構成トランジスタへの第 2 分岐ノードとの間に接続されるコンデンサとを備えることを特徴とする請求項 4 に記載の差動信号出力装置。

【請求項 6】 前記コンデンサは、前記差動対への電流が過渡的に遮断された際、又は前記第 1 差動対あるいは前記第 2 差動対の少なくとも何れか一方への電流が過渡的に遮断された際、前記電流源、前記第 1 電流源、又は前記第 2 電流源が供給する電流を過渡的に流す電流パスを形成することを特徴とする請求項 1 乃至 5 の少なくとも何れか 1 項に記載の差動信号出力装置。

【請求項 7】 前記差動信号出力装置における負荷インピーダンスに比して、前記コンデンサに過渡的な電流が流れる過渡応答周波数における前記コンデンサのインピーダンスが小さいことを特徴とする請求項 6 に記載の差動信号出力装置。

【請求項 8】 差動入力信号間、及び差動出力信号間を各々配線し、第 1 導電型の構成トランジスタを対称に配置してなる第 1 差動対と、

前記第 1 差動対の一端に接続され、第 1 導電型の前記各構成トランジスタへの接続配線が対称になるように配置された第 1 電流源と、

前記第 1 差動対に対向して配置され、差動入力信号間、及び差動出力信号間を各々配線して、第 2 導電型の構成トランジスタを対称に配置してなる第 2 差動対と、

前記第 2 差動対の一端に接続され、第 2 導電型の前記各構成トランジスタへの接続配線が対称になるように配置された第 2 電流源と、

前記第 1 電流源から第 1 導電型の前記各構成トランジスタへの接続配線の第 1 分岐ノードと、前記第 2 電流源から第 2 導電型の前記各構成トランジスタへの接続配線の第 2 分岐ノードとの間に接続され、前記第 1 差動対と前記第 2 差動対とに囲まれた領域に配置したコンデンサとを備えた差動信号出力装置を有することを特徴とする半導体集積回路装置。

【請求項 9】 差動信号を入力する、第 1 導電型で構成された第 1 差動入力部と、

前記第 1 差動入力部に電流を供給する第 1 電流供給部と、

差動出力端子を前記第 1 差動入力部の差動出力端子に接続し差動信号を入力する、第 2 導電型で構成された第 2 差動対と、

前記第 2 差動入力部に電流を供給する第 2 電流入力部と、

前記第 1 差動入力部と前記第 1 電流入力部との接続ノードと、前記第 2 差動入力部と前記第 2 電流入力部との接続ノードとの間に接続されるコンデンサとを備えた差動信号出力装置を有してなることを特徴とする差動信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、伝送線路に差動信号を出力する差動信号出力装置に関するものであり、特に、高速なシリアル通信に用いて好適な差動信号出力装置に関するものである。

【0002】

【従来の技術】

従来より、IEEE 1394 シリアルバスに代表される高速なシリアル通信においては、同軸ケーブルやツイストペアケーブルを伝送線路として、差動信号が伝送されている。この差動信号は、例えば IEEE 1394-1995 規格では、差動振幅が 200 mV 程度であり、データ転送レートが最大で 400 メガビット/秒という高速なデータ転送速度を有しており、IEEE 1394b 規格では、差動振幅が 800 mV 程度であり、データ転送レートが最大で 800 メガビット/秒という高速なデータ転送速度である。

【0003】

この高速伝送を実現するために、差動出力信号の駆動能力を高めた回路構成として、例えば、図 9 に示すような差動信号出力回路 100 が考えられている。

【0004】

図 9 において、第 1 電流源 C1 を介して電源電圧 VDD と接続されるノード N1 は、PMOS トランジスタ Q1、Q2 のソース端子が共通に接続されている。PMOS トランジスタ Q1、Q2 のドレイン端子は、各々 NMOS トランジスタ Q3、Q4 のドレイン端子と接続され、差動出力端子 OUT、OUTX となる。NMOS トランジスタ Q3、Q4 のソース端子はノード N2 で共通に接続されて第 2 電流源 C2 を介して接地電圧 GND に接続されている。また、PMOS トランジスタ Q1 のゲート端子と NMOS トランジスタ Q3 のゲート端子とが接続さ

れて一方の差動入力端子 I P を構成し、PMOS トランジスタ Q 2 のゲート端子と NMOS トランジスタ Q 4 のゲート端子とが接続されて他方の差動入力端子 I N を構成している。

【 0 0 0 5 】

インバータ構成をした PMOS トランジスタ Q 1 と NMOS トランジスタ Q 3 、及び PMOS トランジスタ Q 2 と NMOS トランジスタ Q 4 とにおいて、PMOS トランジスタ Q 1 、Q 2 、及び NMOS トランジスタ Q 3 、Q 4 とが各々第 1 及び第 2 差動対を構成している。そして、ソース電流側の第 1 電流源 C 1 、及びシンク電流側の第 2 電流源 C 2 の電流を第 1 及び第 2 差動対のうち何れの側のトランジスタに流すかを制御している。これら 2 組の第 1 及び第 2 差動対を相互に接続して接続点を差動出力端子 O U T 、O U T X とすることにより、差動入力 I P 、I N に対する差動出力 O U T 、O U T X の応答において、差動出力端子 O U T 、O U T X にダイレクトにソース／シンク電流を供給して駆動することができ、高速応答性を実現している。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、図 9 の差動信号出力回路 1 0 0 では、インバータ構成をしている第 1 及び第 2 差動対 Q 1 と Q 2 、Q 3 と Q 4 において、PMOS トランジスタ Q 1 、Q 2 と NMOS トランジスタ Q 3 、Q 4 の各々のソース端子は、それぞれ第 1 電流源 C 1 を介して電源電圧 V D D と、第 2 電流源 C 2 を介して接地電圧 G N D とに接続されている。従って、PMOS トランジスタ Q 1 、Q 2 のソース端子が接続されているノード N 1 は、電源電圧 V D D から第 1 電流源 C 1 の動作電圧分の電圧降下をした電圧になっており、NMOS トランジスタ Q 3 、Q 4 のソース端子が接続されているノード N 2 は、接地電圧 G N D から第 2 電流源 C 2 の動作電圧分の電圧上昇をした電圧になっている。ここで、第 1 及び第 2 電流源 C 1 、C 2 を MOS トランジスタによるカレントミラー回路であるとし、MOS トランジスタの閾値を絶対値で 0 . 7 V と仮定すると、第 1 及び第 2 電流源 C 1 、C 2 の動作電流は、トランジスタサイズ、電流値にもよるが、1 V 程度と仮定することができる。電源電圧 V D D が 3 . 3 V であれば、インバータ構成の第 1 及

び第 2 差動対 Q 1 と Q 2、Q 3 と Q 4 のソース端子間には、 $3.3\text{V} - 1\text{V} - 1\text{V} = 1.3\text{V}$ 程度の電圧が印加されるにとどまる。MOS トランジスタの閾値が 0.7V であるため、インバータ構成のトランジスタ Q 1 と Q 3、Q 2 と Q 4 の動作点である中間電圧は、各ソース端子から $0.65\text{V} (= 1.3\text{V} / 2)$ となる。動作点は、入力信号の切り替わりの中心であるが、このポイントでインバータ構成のトランジスタ Q 1 と Q 3、Q 2 と Q 4 は、共にオフ状態になってしまう。即ち、差動入力信号の切り替わり時における過渡状態で、インバータ構成のトランジスタ Q 1 と Q 3、Q 2 と Q 4 が全てオフし電流パスが切断されてしまう期間を有することとなる。

【0007】

図 9 の差動信号出力回路 100 において、第 1 及び第 2 電流源 C 1、C 2 は常時、一定電流を流しつづけているので、電流パスが切断されてしまうと、第 1 電流源 C 1 に接続されているノード N 1 へは電流が流れ込み、ノード N 1 に接続されているトランジスタ Q 1、Q 2 のソース端子の容量成分や配線容量等の寄生の容量成分に電荷を充電することとなりノード N 1 の電圧は上昇する。同様に、第 2 電流源 C 2 に接続されているノード N 2 からは電流が流れ出し、ノード N 2 に接続されているトランジスタ Q 3、Q 4 のソース端子の容量成分や配線容量等の寄生の容量成分から電荷を放電することとなりノード N 2 の電圧は下降する。

【0008】

差動入力信号の切り替わり期間が終了すると、切り替わり前には非導通であった側のトランジスタが導通し電流パスが再び接続される。この時、電流パスが切断されていた期間に充電／放電されていた電荷がこの電流パスを介して差動出力端子 OUT、OUTX に放電／充電される。即ち、切り替わり直後に差動出力端子 OUT、OUTX に電圧オーバーシュート／アンダーシュートが発生してしまい問題である。

【0009】

また、図 9 の差動信号出力回路 100 や、図 9 における 2 組の第 1 及び第 2 差動対 Q 1 と Q 2、Q 3 と Q 4 のうち何れか一方を抵抗素子等で置き換えたタイプの差動信号出力回路、更には高速伝送用に限らず一般的な用途においても使用さ

れる、図 10 の受動負荷、あるいは能動負荷を備えた公知の差動信号出力回路において、各々対となるトランジスタ Q 1 と Q 2、Q 3 と Q 4、Q 5 と Q 6、Q 7 と Q 8 間に、製造ばらつきによる素子特性の違いが生ずる場合がある。この素子特性の違いから応答特性の違いが生じ、差動対 Q 1 と Q 2 乃至 Q 7 と Q 8 への差動入力信号の切り替わり時に動作タイミングがずれて、差動対を構成する両トランジスタ Q 1 と Q 2 乃至 Q 7 と Q 8 が共にオフ状態となる期間が存在する虞がある。この場合にも、電流源 C 1、C 2、C 3、C 4 からの電流パスが切断されてしまうため、電流源 C 1 乃至 C 4 に接続されているノード N 1、N 2、N 3、N 4 の電圧が過渡的に変動し、次のタイミングで差動対 Q 1 と Q 2 乃至 Q 7 と Q 8 の他方のトランジスタがオンしたタイミングで差動出力端子に伝播し、差動出力端子にオーバーシュート、あるいはアンダーシュートが発生してしまい問題である。

【0 0 1 0】

更に、差動入力信号における配線遅延差などが存在すると、差動対 Q 1 と Q 2 乃至 Q 7 と Q 8 の切り替わりタイミングにずれが生ずることとなる。この場合にも、遅延関係が差動対 Q 1 と Q 2 乃至 Q 7 と Q 8 を共にオフする期間を発生させるように付加されれば、上記の説明と同様に差動出力端子に電圧オーバーシュート／アンダーシュートが発生してしまい問題である。

【0 0 1 1】

本発明は前記従来技術の問題点を解消するためになされたものであり、高速動作を要する差動信号出力装置においても、装置構成、あるいは製造ばらつきから生ずる応答特性のずれ、配線遅延の差から生ずる差動入力信号のタイミングのずれ等による差動出力端子の電圧オーバーシュート／アンダーシュートを抑制して、差動入力信号の安定した高速切り替えを実現できる差動出力信号装置を提供することを目的とする。

【0 0 1 2】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る差動信号出力装置は、差動信号を入力する差動対と、差動対の一端に接続され、差動対に電流を供給する電流源と

、電流源から差動対の各構成トランジスタへの分岐ノードと、低インピーダンスノードとの間に接続されるコンデンサとを備えることを特徴とする。また、請求項 6 に係る差動信号出力装置は、請求項 1 乃至 5 の少なくとも何れか 1 項に記載の差動信号出力装置において、コンデンサは、差動対への電流が過渡的に遮断された際、電流源が供給する電流を過渡的に流す電流パスを形成することを特徴とする。

【 0 0 1 3 】

請求項 1 の差動信号出力装置では、差動対の一端に接続された電流源から供給される電流を、差動対への差動入力信号により、差動対の各構成トランジスタ間で切り替える際の過渡期間において、電流源から差動対の各構成トランジスタへの分岐ノードと、低インピーダンスノードとの間に接続されているコンデンサを介して過渡的に電流が流れる。請求項 6 の差動信号出力装置では、コンデンサが、差動対への電流が過渡的に遮断された際に電流パスを形成し、電流源が供給する電流を過渡的に流す。

【 0 0 1 4 】

これにより、差動対を構成する各構成トランジスタ間に製造ばらつきによる素子特性の違いにより差動対の応答特性の違いが生じ、差動入力信号の切り替わり時に動作タイミングがずれて両トランジスタが共にオフ状態となる期間が存在しても、コンデンサを介して低インピーダンスノードとの間で過渡的な電流パスが確保されるので、差動対と電流源との接続ノードの電圧が変動することはない。従って、差動入力信号の切り替わりの終了により差動対の他方の構成トランジスタがオンするタイミングで、差動出力端子に電圧オーバーシュートや電圧アンダーシュートが発生することはない。差動入力信号の高速な切り替えに対しても安定した差動出力信号を得ることができる。

【 0 0 1 5 】

また、請求項 2 に係る差動信号出力装置は、請求項 1 に記載の差動信号出力装置において、低インピーダンスノードは、電源電圧、あるいは接地電圧であることを特徴とする。

【 0 0 1 6 】

請求項 2 の差動信号出力装置では、差動入力信号の切り替わり時に、コンデンサに流れる過渡的な電流は、電源電圧、あるいは接地電圧という低インピーダンスノードとの間で流れる。

【 0 0 1 7 】

これにより、電源電圧、あるいは接地電圧という低インピーダンスノードとの間で過渡的な電流が流れるので、過渡電流の供給能力を十分に確保することができ、差動対と電流源との接続ノードの電圧変動を確実に抑制することができる。従って、差動出力端子における電圧オーバーシュートや電圧アンダーシュートを確実に抑制することができる。

【 0 0 1 8 】

また、請求項 3 に係る差動信号出力装置は、差動信号を入力する差動対と、差動対の一端に接続され、差動対に電流を供給する第 1 電流源と、第 1 電流源から差動対の各構成トランジスタへの分岐ノードと電流供給装置との間に接続されるコンデンサとを備えることを特徴とする。また、請求項 4 に係る差動信号出力装置は、請求項 3 に記載の差動信号出力装置において、電流供給装置は、第 2 電流源であることを特徴とする。

【 0 0 1 9 】

請求項 3 の差動信号出力装置では、差動対の一端に接続された第 1 電流源から供給される電流を、差動対への差動入力信号により、差動対の各構成トランジスタ間で切り替える際の過渡期間において、電流源から差動対の各構成トランジスタへの分岐ノードと電流供給装置との間に接続されているコンデンサを介して過渡的な電流が流れる。また、請求項 4 の差動信号出力装置では、第 1 電流源と同等以上の電流供給能力を有する第 2 電流源から過渡電流を供給する。

【 0 0 2 0 】

これにより、電流供給装置が、第 1 電流源の出力する電流値と同等以上の電流供給能力を有していれば、過渡電流の供給能力を十分に確保することができ、差動対と電流源との接続ノードの電圧変動を確実に抑制することができる。従って、差動出力端子における電圧オーバーシュートや電圧アンダーシュートを確実に抑制することができる。

【 0 0 2 1 】

また、請求項 5 に係る差動信号出力装置は、請求項 4 に記載の差動信号出力装置において、第 1 導電型で構成される第 1 差動対と、第 1 差動対の一端に接続され、第 1 差動対に電流を供給する第 1 電流源と、差動出力端子を第 1 差動対の差動出力端子に接続し、第 2 導電型で構成される第 2 差動対と、第 2 差動対の一端に接続され、第 2 差動対に電流を供給する第 2 電流源と、第 1 電流源から第 1 差動対の各構成トランジスタへの第 1 分岐ノードと、第 2 電流源から第 2 差動対の各構成トランジスタへの第 2 分岐ノードとの間に接続されるコンデンサとを備えることを特徴とする。また、請求項 6 に係る差動信号出力装置は、請求項 1 乃至 5 の少なくとも何れか 1 項に記載の差動信号出力装置において、コンデンサは、第 1 差動対あるいは第 2 差動対の少なくとも何れか一方への電流が過渡的に遮断された際、第 1 電流源と第 2 電流源との間で電流を過渡的に流す電流パスを形成することを特徴とする。

【 0 0 2 2 】

請求項 5 の差動信号出力装置では、差動出力端子間が接続された第 1 及び第 2 差動対の各々の一端に接続された第 1 及び第 2 電流源から供給される電流を、第 1 及び第 2 差動対への差動入力信号により、各構成トランジスタ間で導通関係を切り替える際の過渡期間において、第 1 及び第 2 分岐ノード間に接続されているコンデンサを介して第 1 電流源と第 2 電流源との間で過渡的な電流が流れる。請求項 6 の差動信号出力装置では、コンデンサが、第 1 及び第 2 差動対への電流が過渡的に遮断された際に電流パスを形成し、第 1 及び第 2 電流源間の電流を過渡的に流す。

【 0 0 2 3 】

これにより、装置構成により、差動入力信号の切り替わり時に第 1 及び第 2 差動対を構成するトランジスタがオフ状態となっても、また、製造ばらつきにより第 1 あるいは第 2 差動対を構成する各構成トランジスタ間に素子特性の違いが生じ、第 1 あるいは第 2 差動対の応答特性のアンバランスにより切り替わり時に動作タイミングがずれて第 1 あるいは第 2 差動対のトランジスタがオフ状態となる期間が存在しても、コンデンサを介して第 1 電流源と第 2 電流源との間で過渡的

な電流パスが確保されるので、第 1 及び第 2 差動対と第 1 及び第 2 電流源との各接続ノードの電圧が変動することはない。従って、差動入力信号の切り替わりの終了により第 1 及び第 2 差動対の他方の構成トランジスタがオンするタイミングで、差動出力端子に電圧オーバーシュートや電圧アンダーシュートが発生することはない。差動入力信号の高速な切り替えに対しても安定した差動出力信号を得ることができる。

【 0 0 2 4 】

また、請求項 7 に係る差動信号出力装置は、請求項 6 に記載の差動信号出力装置において、差動信号出力装置における負荷インピーダンスに比して、コンデンサに過渡的な電流が流れる過渡応答周波数におけるコンデンサのインピーダンスが小さいことを特徴とする。

【 0 0 2 5 】

請求項 7 の差動信号出力装置では、コンデンサに過渡的な電流が流れる過渡応答周波数におけるコンデンサのインピーダンスを、差動信号出力装置における負荷インピーダンスに比して、小さくなるようにコンデンサの容量値を設定する。

【 0 0 2 6 】

これにより、過渡応答時に過渡的な電流を流すコンデンサのインピーダンスが、負荷インピーダンスよりも小さいので、差動対と電流源との接続点の電圧変動を有効に抑制することができる。

【 0 0 2 7 】

また、請求項 8 に係る半導体集積回路装置は、差動入力信号間、及び差動出力信号間を各々配線し、第 1 導電型の構成トランジスタを対称に配置してなる第 1 差動対と、第 1 差動対の一端に接続され、第 1 導電型の各構成トランジスタへの接続配線が対称になるように配置された第 1 電流源と、第 1 差動対に対向して配置され、差動入力信号間、及び差動出力信号間を各々配線して、第 2 導電型の構成トランジスタを対称に配置してなる第 2 差動対と、第 2 差動対の一端に接続され、第 2 導電型の各構成トランジスタへの接続配線が対称になるように配置された第 2 電流源と、第 1 電流源から第 1 導電型の各構成トランジスタへの接続配線の第 1 分岐ノードと、第 2 電流源から第 2 導電型の各構成トランジスタへの接続

配線の第2分岐ノードとの間に接続され、第1差動対と第2差動対とに囲まれた領域に配置したコンデンサとを備えた差動信号出力装置を有することを特徴とする。

【0028】

請求項8の半導体集積回路装置では、差動入力信号間、及び差動出力信号間を各々配線する。また、第1及び第2差動対の各構成トランジスタ、第1及び第2電流源を各々対称に配置する。更に、各々対称配置された第1及び第2差動対の各構成トランジスタを対向させて配置する。そして、第1及び第2差動対とに囲まれた領域にコンデンサを配置して差動信号出力装置を構成する。

【0029】

これにより、差動信号出力装置を構成する各構成素子を対称配置することにより、構成素子間の素子特性のばらつきを最小限に抑え、また差動入力信号間や差動出力信号間の配線負荷をバランスさせることができ、差動信号間の伝搬遅延の差異を最小限に抑えることができる。同時に、各構成素子、配線に対するコンデンサの配置の対称性を高めることができるので、コンデンサによる差動入力信号の切り替わり時における第1及び第2差動対と第1及び第2電流源との各接続ノードの電圧変動のアンバランスを最小限に抑制することができる。従って、差動出力端子の電圧オーバーシュートや電圧アンダーシュートを有効に抑制することができる。更に、半導体集積回路装置上の熱源からの位置に応じてチップの温度が異なるという、いわゆる熱勾配を有する場合に、熱源に対して対称的なレイアウトパターンを有していれば、各構成素子を同様の温度特性で動作させることができる。また、差動入力信号間や差動出力信号間の配線の配線種、配線経路等を同一にして配線してやれば、配線負荷をより良くバランスさせることができ好都合である。

【0030】

また、請求項9に係る差動信号伝送システムは、差動信号を入力する、第1導電型で構成された第1差動入力部と、第1差動入力部に電流を供給する第1電流供給部と、差動出力端子を前記第1差動入力部の差動出力端子に接続し差動信号を入力する、第2導電型で構成された第2差動対と、第2差動入力部に電流を供

給する第 2 電流入力部と、第 1 差動入力部と第 1 電流入力部との接続ノードと、第 2 差動入力部と第 2 電流入力部との接続ノードとの間に接続されるコンデンサとを備えた差動信号出力装置を有してなることを特徴とする。

【 0 0 3 1 】

これにより、差動入力信号に応答する差動出力信号に電圧オーバーシュートや電圧アンダーシュートを含むことはなく、差動入力信号の高速な切り替えに対しても安定した差動出力信号が得られる差動信号伝送システムを提供することができる。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の差動信号出力装置、差動信号出力装置を有する半導体集積回路装置、及び差動信号伝送システムについて具体化した実施形態を図 1 乃至図 8 に基づき図面を参照しつつ詳細に説明する。図 1 は、第 1 実施形態の差動信号出力回路を示す回路図である。図 2 は、第 1 実施形態における電流源の回路例を示す回路図である。図 3 は、第 1 実施形態におけるコンデンサの具体例を示す回路図である。図 4 は、第 1 実施形態の具体例を示す回路図である。図 5 は、第 1 実施形態の具体例のシミュレーション結果による差動出力波形を示す波形図である。図 6 は、第 1 実施形態の差動信号出力回路のレイアウトを示すパターン図である。図 7 は、第 2 実施形態の差動信号出力回路を示す回路図である。図 8 は、差動信号伝送システムの一例を示すブロック図である。

【 0 0 3 3 】

図 1 に示す第 1 実施形態の差動信号出力回路 1 では、図 9 に示す従来技術における差動信号出力回路 1 0 0 に加えて、ノード N 1、N 2 間にコンデンサ C C 1 が追加されて構成されている。図 1 では、差動信号伝送システムにおいて差動出力端子 O U T、O U T X に接続される負荷も記載されている。即ち、各差動出力端子 O U T、O U T X に接続される抵抗負荷 R L と、各抵抗負荷 R L と接地電圧 G N D との間に接続されている容量負荷 C L とにより負荷回路を構成している。また、図 2 に示すように、第 1 電流源 C 1、及び第 2 電流源 C 2 の回路例として、各々、制御電圧をゲート端子に入力した P M O S トランジスタ、及び N M O S

トランジスタを使用することができる。更に、図 3 に示すように、コンデンサ C 1 の具体例として、NMOS トランジスタのゲート容量を利用することができる。

【 0 0 3 4 】

差動入力端子 I P、I M へ差動入力信号のうち、差動入力端子 I P への信号の電圧レベルが差動入力端子 I M への信号の電圧レベルに比して高い場合には、第 1 差動対を構成する PMOS トランジスタ Q 1、Q 2 については、トランジスタ Q 1 がオフ状態となりトランジスタ Q 2 が ON 状態となる。また、第 2 差動対を構成する NMOS トランジスタ Q 3、Q 4 については、トランジスタ Q 3 がオン状態となりトランジスタ Q 4 がオフ状態となる。従って、これらの 2 組の差動対が構成する定常的な電流パスは、第 1 電流源 C 1 から PMOS トランジスタ Q 2 を介して差動出力端子 O U T X の電圧レベルを上昇させる。更に差動出力端子 O U T X に供給された第 1 電流源 C 1 からの電流は、2 つの負荷抵抗 R L を介して差動出力端子 O U T から NMOS トランジスタ Q 3 を介して第 2 電流源 C 2 から接地電圧 G N D に流れる。差動出力端子 O U T は電流をひかれることとなり、電流を供給される差動出力端子 O U T X に比して低い電圧レベルとなる。この結果、差動出力端子 O U T、O U T X には、差動出力端子 O U T X をハイレベルとする差動出力信号が出力される。差動入力端子 I P への信号の電圧レベルが差動入力端子 I M への信号の電圧レベルに比して低い場合には、電圧関係を入れ替えてやれば同様な動作をすることとなり、差動出力端子 O U T をハイレベルとする差動出力信号が出力される。以上が差動入力端子 I P、I M 間における信号の電圧レベルの大小関係が切り替わらない場合の定常状態における差動信号出力回路 1 の動作である。

【 0 0 3 5 】

次に、上記の定常状態から差動入力端子 I P、I M の信号の電圧レベルが切り替わる場合について説明する。図 1 における回路構成では、電源電圧 V D D、MOS トランジスタ Q 1 乃至 Q 4 の閾値電圧、第 1 及び第 2 電流源 C 1、C 2 における電圧降下、差動入力信号の電圧レベル等の諸条件により、差動入力端子 I P、I M への信号の切り替わり期間において第 1 及び第 2 差動対を構成している M

OSトランジスタQ1とQ2、Q3とQ4が、全てオフ状態となってしまう場合がある。また、製造ばらつきによる各構成トランジスタQ1乃至Q4の素子特性の違いや、差動入力端子IP、IMの信号配線等における寄生抵抗・寄生容量等から生ずる伝播信号の伝播遅延の違いから切り替わり時の応答特性にずれを生じ、第1差動対を構成するPMOSトランジスタQ1とQ2、あるいは第2差動対を構成するNMOSトランジスタQ3とQ4の少なくとも何れか一方がオフ状態となってしまう場合がある。

【0036】

このとき、定常的な電流パスが遮断されてしまう。しかしながら、第1及び第2電流源C1、C2は、常に一定電流を流しつづけるので、第1及び第2電流源C1、C2が接続されているノードN1、N2には、定常的な電流パスが遮断されているにも関わらず電流が流れ続けようとする。コンデンサCC1が無ければ、ノードN1には第1電流源C1からの電流が流れ込みノードN1に接続されている容量成分を充電することによりノードN1の電圧は過渡的に上昇する。また、ノードN2からは第2電流源C2への電流が流れ出しノードN2に接続されている容量成分を放電することによりノードN2の電圧は過渡的に下降する。

【0037】

第1実施形態の差動信号出力回路1には、ノードN1及びN2間にコンデンサCC1が接続されているため、差動入力端子IP、IMへの信号の切り替わり時に電流パスが過渡的に遮断されてしまう場合において、過渡的な電流をコンデンサCC1を介して流すことができる。この過渡電流は、差動入力端子IP、IMに印加される差動入力信号の過渡的な切り替わり時間にのみ流れる電流であり、周波数成分を有する交流的な電流である。またコンデンサCC1は、その素子特性から流れ込む過渡電流の周波数に反比例するインピーダンスを有する。従って、過渡電流が有する周波数成分、即ち切り替わり時の電流パスの遮断時間に応じ、コンデンサCC1のインピーダンスを適宜に調整すれば、特定の周波数成分を有する過渡電流に対してコンデンサCC1の有するインピーダンスを小さく設定することができ、コンデンサCC1は過渡電流を十分に流すことができる。ここで、差動信号出力回路1の回路動作の対称性から第1電流源C1と第2電流源

C 2 との電流値は同じ値に設定してあるので、コンデンサを介して第 1 電流源 C 1 から第 2 電流源 C 2 に流れる過渡電流はバランスし、ノード N 1、N 2 に接続されている容量成分を充／放電することではなく、ノード N 1、N 2 の過渡的な電圧変動は無い。従って、この電圧変動に起因する差動出力端子 O U T、O U T X の電圧オーバーシュート／アンダーシュートを抑制することができる。

【 0 0 3 8 】

コンデンサ C C 1 のインピーダンスは、差動入力信号の切り替わり時における電流パスの過渡的な遮断時間を、コンデンサ C C 1 に流れる過渡電流パルスの周期として周波数成分を f とすると、コンデンサ C C 1 の容量値を C として、

$$X_c = 1 / (2 \pi f C)$$

として求められる。このインピーダンス X_c を、差動信号出力回路 1 の負荷抵抗 $R_L \times 2$ に対して十分に小さく設定してやれば ($X_c \ll R_L \times 2$)、ノード N 1、N 2 に現れる電圧変動を殆んど無視できるレベルにまで抑制することができる。従来技術において電流パスの過渡的な遮断時間に発生するノード N 1、N 2 の電圧変動がそのまま差動出力端子 O U T、O U T X に移った後、負荷抵抗 $R_L \times 2$ で接続されて電圧オーバーシュート／アンダーシュートの電圧ピーク値が決定されるのであるから、負荷抵抗 $R_L \times 2$ に比して充分小さなインピーダンス X_c を有するコンデンサ C C 1 でノード N 1、N 2 間を接続してやれば、ノード N 1、N 2 の電圧変動、即ち、差動出力端子の電圧オーバーシュート／アンダーシュートは殆んど発生しなくなるからである。尚、電流パスの遮断時間は、回路シミュレーション等により容易に算出することができる。

【 0 0 3 9 】

図 4 に第 1 実施形態の具体例を示す。基本的な回路接続は図 1 における第 1 実施形態の差動信号出力回路 1 と同じである。第 1 電流源 C 1 は、P M O S トランジスタ C 0 1 との間で第 1 カレントミラー回路を構成している。同様に第 2 電流源 C 2 は、N M O S トランジスタ C 0 2 との間で第 2 カレントミラー回路を構成している。第 1 カレントミラー回路と第 2 カレントミラー回路とは、P M O S トランジスタ C 0 1 と N M O S トランジスタ C 0 2 とが接続されることにより同一の電流値が流れるように構成されており、第 1 及び第 2 電流源 C 1、C 2 は同一電

流値を出力する。そして、第2カレントミラー回路のゲート端子VR1の電圧を調整可能として、電流値を可変としている。第1及び第2電流源を構成するMOSトランジスタC01、C1、C02、C2、及び第1及び第2差動対を構成するMOSトランジスタQ1乃至Q4のバックゲート端子は、電源電圧VDD（PMOSトランジスタの場合）、及び接地電圧GND（NMOSトランジスタの場合）に接続されている。ノードN1、N2間には、コンデンサCC1が接続されている。また、差動出力端子TPB、TPBXには、負荷抵抗RL、RLXが接続され、負荷抵抗RL、RLXの他端は負荷容量CLに共通に接続され、更に負荷容量CLの他端は接地電圧GNDに接続されている。各構成素子のパラメータは表1のとおりである。

【表1】

MOS	種別	チャネル長 (L)	チャネル幅 (W)	m (素子数)
C01	PMOS	1.0 μ m	43.0 μ m	2
C1	PMOS	1.0 μ m	43.0 μ m	20
C02	NMOS	1.0 μ m	18.0 μ m	2
C2	NMOS	1.0 μ m	18.0 μ m	20
Q1	PMOS	0.34 μ m	44.0 μ m	2
Q2	PMOS	0.34 μ m	44.0 μ m	2
Q3	NMOS	0.34 μ m	20.0 μ m	2
Q4	NMOS	0.34 μ m	20.0 μ m	2
コンデンサ	容量値			
CC1	10 pF			
負荷	種別	値		
RL	負荷抵抗	55 Ω		
RLX	負荷抵抗	55 Ω		
CL	負荷容量	250 pF		

【0040】

表1のパラメータを有する図4の回路において、電源電圧VDDを3.3Vとし、差動入力信号を500MHzのスキューの無い台形波として、Bsim3モ

デルを使用してスパイスシミュレータによる過渡解析を行った結果を図 5 (B) に示す。波形は差動出力端子 T P B、T P B X に出力される差動出力信号である。参考のため、図 5 (A) に、図 4 におけるコンデンサ C C 1 を削除した従来技術の差動信号出力回路 1 0 0 について同様の条件で行ったシミュレーション結果の差動出力信号波形を示す。

【 0 0 4 1 】

図 5 (A) の波形から、差動出力信号の切り替わり時に、ローレベルからハイレベルへの遷移に対して 6 0 m V 程度の電圧オーバーシュートが発生し、ハイレベルからローレベルへの遷移に対して - 1 2 0 m V 程度の電圧アンダーシュートが発生していることが確認できる。また、電圧オーバーシュート／アンダーシュートの電圧パルス周期は 2 5 0 p s e c 程度であり、周波数として 4 G H z 程度であることを確認することができる。これに対して、図 5 (B) に示すように、過渡電流パス用のコンデンサ C C 1 を追加した第 1 実施形態の差動信号出力回路 1 では、電圧オーバーシュートは 4 0 m V 以下に抑制され、電圧アンダーシュートは - 3 0 m V 以下に抑制されていることが確認できる。このときのコンデンサ C C 1 の容量値は 1 0 p F であり、周波数 4 G H z ではコンデンサ C C 1 のインピーダンスは、

$$X_c (4 G H z) = 1 / (2 \pi \times 4 G H z \times 1 0 p F) \doteq 4 \Omega$$

となる。差動出力端子 T P B、T P B X の負荷抵抗 R L が 5 5 Ω であるので、 $R_L \times 2 = 1 1 2 \Omega$ に対してコンデンサ C C 1 のインピーダンスが十分に小さくなっていることがわかる。このため、従来技術における、負荷抵抗 1 1 2 Ω で発生していた電圧オーバーシュート／アンダーシュートを、第 1 実施形態におけるコンデンサ C C 1 のインピーダンス 4 Ω では十分に小さくすることができる。

【 0 0 4 2 】

図 6 に示すように、第 1 実施形態の差動信号出力回路 1 を半導体集積回路装置としてレイアウトする場合には、第 1 及び第 2 差動対を構成する M O S トランジスタ Q 1 乃至 Q 4 を対称に配置することが好ましい。更に、第 1 及び第 2 電流源 C 1、C 2 についても対称配置することが好ましい。そして、第 1 及び第 2 差動対を構成する M O S トランジスタ Q 1 乃至 Q 4 で囲まれた領域にコンデンサ C C

1 を対称配置することが好ましい。ここで、コンデンサ C C 1 は、占有面積に対して大きな容量値を確保することができる M O S トランジスタのゲート容量を使用する M O S コンデンサ C M 1、C M 2 と、容量値の面積効率は高くないが精度よく容量値を設定することができる平行平板型のコンデンサ C P との両タイプを使用して構成することが好ましい。これにより、M O S コンデンサ C M 1、C M 2 により大まかな容量値を設定しておき、平行平板コンデンサ C P により容量値の微調整を行うことができ、最小の面積で精度よくコンデンサ C C 1 を構成することができる。精度向上を図るため、M O S コンデンサ C M 1、C M 2 の中間に平行平板コンデンサ C P を配置する等、対称性を考慮した配置を行うことが好ましい。ここで、平行平板コンデンサ C P に使用される平行平板とは、例えば、拡散層とメタル層、あるいはメタル層同士等、半導体集積回路装置の構成要素を適宜に組み合わせることにより構成することができる。尚、図 6 では、平行平板コンデンサ C P を中心に配置し、その両側に M O S コンデンサ C M 1、C M 2 を配置する構成を示したが、配置関係を逆にして M O S コンデンサを中心に配置する他、配置の対称性を維持することができる配置関係であれば同様の効果を有することはいうまでもない。

【 0 0 4 3 】

ここで、対称的な配置を行うことにより、イオン打ち込み量の擾乱等による拡散濃度差や配線層のシート抵抗差、化学反応のミクロな不均一等による層間絶縁膜の厚みの違い等に起因する製造工程における各構成素子間の条件不均一を相殺することができ、製造ばらつきにおける素子間の特性差を最小限に抑制することができる。また、半導体集積回路装置の回路動作に伴う発熱があると、半導体集積回路装置上の熱源からの位置に応じてチップ上の温度が異なるという、いわゆる熱勾配を有する場合がある。このとき、熱源に対して対称的なレイアウトパターンを有していれば、各構成素子を同様の温度特性で動作させることができる。図 6 の場合、紙面上部、あるいは下部に熱源があれば、各構成素子が受ける温度特性を一致させることができる。

【 0 0 4 4 】

以上詳細に説明したとおり、第 1 実施形態に係る差動信号出力回路 1、及びこ

の差動信号出力回路 1 を有する半導体集積回路装置では、回路構成により、差動入力信号の切り替わり時に第 1 及び第 2 差動対を構成するトランジスタ Q 1 乃至 Q 4 がオフ状態となっても、また、製造ばらつきにより第 1 あるいは第 2 差動対を構成する各構成トランジスタ Q 1 乃至 Q 4 間に素子特性の違いが生じ、第 1 あるいは第 2 差動対の応答特性のアンバランスにより切り替わり時に動作タイミングがずれて第 1 あるいは第 2 差動対のトランジスタ Q 1 と Q 2 あるいは Q 3 と Q 4 がオフ状態となる期間が存在しても、コンデンサ C C 1 を介して第 1 電流源 C 1 と第 2 電流源 C 2 との間で電流パスが確保されるので、第 1 及び第 2 差動対と第 1 及び第 2 電流源 C 1、C 2 との各接続ノード N 1、N 2 の電圧が変動することはない。従って、差動入力信号の切り替わりの終了により第 1 及び第 2 差動対の他方の構成トランジスタがオンするタイミングで、差動出力端子 O U T、O U T X（第 1 実施形態の具体例においては、T P B、T P B X）に電圧オーバーシュートや電圧アンダーシュートが発生することはない。差動入力信号の高速な切り替えに対しても安定した差動出力信号を得ることができる。

【 0 0 4 5 】

このとき、過渡応答時に過渡的な電流を流すコンデンサ C C 1 のインピーダンス X_c が、負荷インピーダンス $R_L \times 2$ よりも小さいので、ノード N 1、N 2 の電圧変動を有効に抑制することができる。

【 0 0 4 6 】

また、差動信号出力回路 1 を構成する各構成素子を対称配置することにより、構成素子間の素子特性のばらつきを最小限に抑え、また差動入力信号間や、差動出力信号間の配線を等長配線とすることにより、差動信号間の伝搬遅延の差異を最小限に抑えることができる。同時に、各構成素子、配線に対するコンデンサ C C 1 の配置の対称性を高めることができるので、コンデンサ C C 1 による差動入力信号の切り替わり時における第 1 及び第 2 差動対と第 1 及び第 2 電流源 C 1、C 2 との各接続ノード N 1、N 2 の電圧変動のアンバランスを最小限に抑制することができる。従って、差動出力端子 O U T、O U T X の電圧オーバーシュートや電圧アンダーシュートを有効に抑制することができる。更に、半導体集積回路装置上の熱源からの位置に応じてチップの温度が異なるという、いわゆる熱勾配

を有する場合に、熱源に対して対称的なレイアウトパターンを有していれば、各構成素子を同様の温度特性で動作させることができる。

【 0 0 4 7 】

図 7 に示す第 2 実施形態の差動信号出力回路 2 A、2 B、2 C、2 D では、図 1 0 に示す従来技術における差動信号出力回路 2 0 0 A、2 0 0 B に加えて、差動対と電流源との接続ノード N_{3n} 、 N_{4n} と電源電圧 V_{DD} との間にコンデンサ CC_{2n} 、 CC_{3n} が接続され、あるいは接続ノード N_{3p} 、 N_{4p} と接地電圧 GND との間にコンデンサ CC_{2p} 、 CC_{3p} が接続されて構成されている。また、第 1 実施形態と同様に、電流源 C_{3n} 、 C_{4n} を図 2 に示す NMOS トランジスタで構成し、電流源 C_{3p} 、 C_{4p} を図 2 に示す PMOS トランジスタで構成することができる。更に、コンデンサ CC_{2n} 、 CC_{3n} を図 3 に示す NMOS トランジスタで構成し、コンデンサ CC_{2p} 、 CC_{3p} を図 3 に示す NMOS トランジスタに対して極性を反転した PMOS トランジスタで構成することができる。

【 0 0 4 8 】

第 2 実施形態では、過渡的な電流を流すコンデンサ CC_{2n} 、 CC_{3n} 、 CC_{2p} 、 CC_{3p} の一方を電源電圧 V_{DD} や、接地電圧 GND といった低インピーダンスノードに接続することにより構成している。図 7 における (A) は、差動信号出力回路 2 A、2 C を構成する際、受動負荷を使用する場合であり、(B) は、差動信号出力回路 2 B、2 D を構成する際、能動負荷を使用する場合である。何れの場合にも、同様の効果を奏することができる。具体的動作については、第 1 実施形態における場合と同様であるので、ここでの説明は省略する。

【 0 0 4 9 】

また、第 2 実施形態においても、半導体集積回路装置上にレイアウトする場合には、各構成素子是对称性を有して配置することが好ましい。

【 0 0 5 0 】

以上説明したとおり、第 2 実施形態に係る差動信号出力回路 2 A 乃至 2 D、及びこの差動信号出力回路 2 A 乃至 2 D を有する半導体集積回路装置では、差動対を構成する各構成トランジスタ Q_{5n} と Q_{6n} 、 Q_{7n} と Q_{8n} 、 Q_{5p} と Q_{6p}

p、Q 7 p と Q 8 p 間に製造ばらつきによる素子特性の違いにより差動対の応答特性の違いが生じ、差動入力信号の切り替わり時に動作タイミングがずれて両トランジスタ Q 5 n と Q 6 n、Q 7 n と Q 8 n、Q 5 p と Q 6 p、Q 7 p と Q 8 p がオフ状態となる期間が存在しても、コンデンサ C C 2 n、C C 3 n、C C 2 p、C C 3 p を介して低インピーダンスノードである電源電圧 V D D、あるいは接地電圧 G N D との間で電流パスが確保されるので、差動対と電流源 C 3 n、C 4 n、C 3 p、C 4 p との接続ノード N 3 n、N 4 n、N 3 p、N 4 p の電圧が変動することはない。従って、差動入力信号の切り替わりの終了により差動対の他方の構成トランジスタがオンするタイミングで、差動出力端子に電圧オーバーシュートや電圧アンダーシュートが発生することはない。差動入力信号の高速な切り替えに対しても安定した差動出力信号を得ることができる。

【 0 0 5 1 】

電源電圧 V D D、あるいは接地電圧 G N D という低インピーダンスノードとの間で過渡電流が流れるので、過渡電流の供給能力を十分に確保することができ、差動対と電流源との接続ノード N 3 n、N 4 n、N 3 p、N 4 p の電圧変動を確実に防止することができる。従って、差動出力端子における電圧オーバーシュートや電圧アンダーシュートを確実に防止することができる。

【 0 0 5 2 】

差動信号出力回路 2 A 乃至 2 D を構成する各構成素子を対称配置してやれば、構成素子間の素子特性のばらつきを最小限に抑え、差動入力信号間や、差動出力信号間の配線を等長配線として差動信号間の伝搬遅延の差異を最小限に抑えることができる。また、半導体集積回路装置上の熱勾配に対しても各構成素子を対称的に配置することができる。従って、差動入力信号の切り替わり時における接続ノード N 3 n、N 4 n、N 3 p、N 4 p の電圧変動のアンバランスを最小限に抑制することができる。従って、差動出力端子の電圧オーバーシュートや電圧アンダーシュートを有効に抑制することができる。

【 0 0 5 3 】

図 8 に示す差動信号伝送システムの一例は、I E E E 1 3 9 4 b 規格におけるツイストペアケーブルを使用した場合の例である。このシステムにおいて、ライ

ンドライバを第 1 実施形態の差動信号出力回路 1 を使用することにより、あるいは第 2 実施形態の差動信号出力回路 2 A 乃至 2 D を使用することにより、差動出力端子 O U T、O U T X に、差動入力信号の切り替わり時の過渡的な電圧オーバーシュートや電圧アンダーシュートが発生してしまうことはなく、ツイストペアケーブルにおける高速な差動信号を安定して伝送することができる差動信号伝送システムを提供することができる。

【 0 0 5 4 】

尚、本発明は前記第 1 及び第 2 実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、第 1 及び第 2 実施形態においては、M O S トランジスタで構成する場合を例にとり説明したが、本発明はこれに限定されるものではなく、バイポーラトランジスタで構成する場合、あるいは M O S トランジスタとバイポーラトランジスタとを適宜に組み合わせて構成する場合にも同様に適用することができる。

また、第 1 及び第 2 実施形態においては、過渡的な電流パスを形成するコンデンサを電流源や、電源電圧あるいは接地電圧に接続する場合について説明したが、本発明はこれに限定されるものではなく、電流供給能力が十分に大きい低インピーダンスノード等であれば接続することができる。例えば、ソースフォロア、エミッタフォロア等のバッファ出力や、内部電源等のその他の低インピーダンスノードに接続しても同様な効果を奏することができる。更に、大きな電流を流すことができる他の回路構成中の電流源を使用することも可能である。

また、従来技術における差動信号出力回路 1 0 0 に対しては、第 1 実施形態においてノード N 1 と N 2 とをコンデンサで接続する場合を示したが、ノード N 1 と接地電圧 G N D との間に第 1 コンデンサを接続すると共に、ノード N 2 と電源電圧 V D D との間に第 2 コンデンサを接続する構成とすることもできる。

【 0 0 5 5 】

(付記 1) 差動信号を入力する差動対と、

前記差動対の一端に接続され、前記差動対に電流を供給する電流源と、

前記電流源から前記差動対の各構成トランジスタへの分岐ノードと、低インピ

ーダンスノードとの間に接続されるコンデンサとを備えることを特徴とする差動信号出力回路。

(付記 2) 前記低インピーダンスノードは、電源電圧、あるいは接地電圧であることを特徴とする付記 1 に記載の差動信号出力回路。

(付記 3) 差動信号を入力する差動対と、
前記差動対の一端に接続され、前記差動対に電流を供給する第 1 電流源と、
前記第 1 電流源から前記差動対の各構成トランジスタへの分岐ノードと電流供給装置との間に接続されるコンデンサとを備えることを特徴とする差動信号出力回路。

(付記 4) 前記電流供給回路は、第 2 電流源であることを特徴とする付記 3 に記載の差動信号出力回路。

(付記 5) 第 1 導電型で構成される第 1 差動対と、
前記第 1 差動対の一端に接続され、前記第 1 差動対に電流を供給する第 1 電流源と、
差動出力端子を前記第 1 差動対の差動出力端子に接続し、第 2 導電型で構成される第 2 差動対と、
前記第 2 差動対の一端に接続され、前記第 2 差動対に電流を供給する第 2 電流源と、
前記第 1 電流源から前記第 1 差動対の各構成トランジスタへの第 1 分岐ノードと、前記第 2 電流源から前記第 2 差動対の各構成トランジスタへの第 2 分岐ノードとの間に接続されるコンデンサとを備えることを特徴とする付記 4 に記載の差動信号出力回路。

(付記 6) 前記コンデンサは、前記差動対への電流が過渡的に遮断された際、又は前記第 1 差動対あるいは前記第 2 差動対の少なくとも何れか一方への電流が過渡的に遮断された際、前記電流源、前記第 1 電流源、又は前記第 2 電流源が供給する電流を過渡的に流す電流パスを形成することを特徴とする付記 1 乃至 5 の少なくとも何れか 1 項に記載の差動信号出力回路。

(付記 7) 差動信号を入力する差動対と、
前記差動対の一端に接続され、前記差動対に電流を供給する電流源とを備え、



前記差動対への電流が過渡的に遮断された際、前記電流源が供給する電流を過渡的に流す電流パスを形成する過渡応答回路を備えることを特徴とする差動信号出力回路。

(付記 8) 前記過渡応答回路は、コンデンサであることを特徴とする付記 7 に記載の差動信号出力回路。

(付記 9) 前記差動信号出力回路における負荷インピーダンスに比して、前記コンデンサに過渡的な電流が流れる過渡応答周波数における前記コンデンサのインピーダンスが小さいことを特徴とする付記 6 又は 8 に記載の差動信号出力回路。

(付記 10) 差動入力信号間、及び差動出力信号間を各々配線し、構成トランジスタを対称に配置してなる差動対と、

前記差動対の一端に接続され、前記各構成トランジスタへの接続配線が対称になるように配置された電流源と、

前記電流源から前記各構成トランジスタへの接続配線の分岐ノードと、低インピーダンスノードとの間に接続され、前記各構成トランジスタに挟まれた領域に配置したコンデンサを備えた差動信号出力回路を有することを特徴とする半導体集積回路装置。

(付記 11) 差動入力信号間、及び差動出力信号間を各々配線し、構成トランジスタを対称に配置してなる差動対と、

前記差動対の一端に接続され、前記各構成トランジスタへの接続配線が対称になるように配置された第 1 電流源と、

前記電流源から前記各構成トランジスタへの接続配線の分岐ノードと、前記第 1 電流源が出力する電流値と同等以上の電流供給能力を有する電流供給回路との間に接続され、前記構成トランジスタにおける配置の対称性と同じ対称性を有して配置されたコンデンサを備えた差動信号出力回路を有することを特徴とする半導体集積回路装置。

(付記 12) 差動入力信号間、及び差動出力信号間を各々配線し、第 1 導電型の構成トランジスタを対称に配置してなる第 1 差動対と、

前記第 1 差動対の一端に接続され、第 1 導電型の前記各構成トランジスタへの

接続配線が対称になるように配置された第 1 電流源と、

前記第 1 差動対に対向して配置され、差動入力信号間、及び差動出力信号間を各々配線して、第 2 導電型の構成トランジスタを対称に配置してなる第 2 差動対と、

前記第 2 差動対の一端に接続され、第 2 導電型の前記各構成トランジスタへの接続配線が対称になるように配置された第 2 電流源と、

前記第 1 電流源から第 1 導電型の前記各構成トランジスタへの接続配線の第 1 分岐ノードと、前記第 2 電流源から第 2 導電型の前記各構成トランジスタへの接続配線の第 2 分岐ノードとの間に接続され、前記第 1 差動対と前記第 2 差動対とに囲まれた領域に配置したコンデンサとを備えた差動信号出力回路を有することを特徴とする半導体集積回路装置。

(付記 1 3) 差動信号を入力する差動入力部と、

前記差動入力部に電流を供給する電流供給部と、

前記差動入力部と前記電流供給部との接続ノードと、低インピーダンスノードとの間に接続されるコンデンサとを備えた差動信号出力回路を有してなることを特徴とする差動信号伝送システム。

(付記 1 4) 差動信号を入力する差動入力部と、

前記差動入力部に電流を供給する第 1 電流供給部と、

前記差動入力部と前記第 1 電流供給部との接続ノードと、前記第 1 電流供給部が出力する電流値と同等以上の電流供給能力を有する第 2 電流供給部との間に接続されるコンデンサとを備えた差動信号出力回路を有してなることを特徴とする差動信号伝送システム。

(付記 1 5) 差動信号を入力する、第 1 導電型で構成された第 1 差動入力部と、

前記第 1 差動入力部に電流を供給する第 1 電流供給部と、

差動出力端子を前記第 1 差動入力部の差動出力端子に接続し差動信号を入力する、第 2 導電型で構成された第 2 差動対と、

前記第 2 差動入力部に電流を供給する第 2 電流入力部と、

前記第 1 差動入力部と前記第 1 電流入力部との接続ノードと、前記第 2 差動入

力部と前記第 2 電流入力部との接続ノードとの間に接続されるコンデンサとを備えた差動信号出力回路を有してなることを特徴とする差動信号伝送システム。

【 0 0 5 6 】

【発明の効果】

本発明によれば、高速動作を要する差動信号出力回路においても、回路構成、あるいは製造ばらつきから生ずる応答特性のずれ、配線遅延の差から生ずる入力信号のタイミングのずれ等による差動出力端子電圧の電圧オーバーシュート／アンダーシュートを抑制して、差動入力信号の安定した高速切り替えを実現できる差動信号出力回路を提供することが可能となる。

【図面の簡単な説明】

【図 1】

第 1 実施形態の差動信号出力回路を示す回路図である。

【図 2】

第 1 実施形態における電流源の回路例を示す回路図である。

【図 3】

第 1 実施形態におけるコンデンサの具体例を示す回路図である。

【図 4】

第 1 実施形態の具体例を示す回路図である。

【図 5】

第 1 実施形態の具体例のシミュレーション結果による差動出力波形を示す波形図である。

【図 6】

第 1 実施形態の差動信号出力回路のレイアウトを示すパターン図である。

【図 7】

第 2 実施形態の差動信号出力回路を示す回路図である。

【図 8】

差動信号伝送システムの一例を示すブロック図である。

【図 9】

従来技術における差動信号出力回路を示す回路図である。

【図 1 0】

従来技術における他の差動信号出力回路を示す回路図である。

【符号の説明】

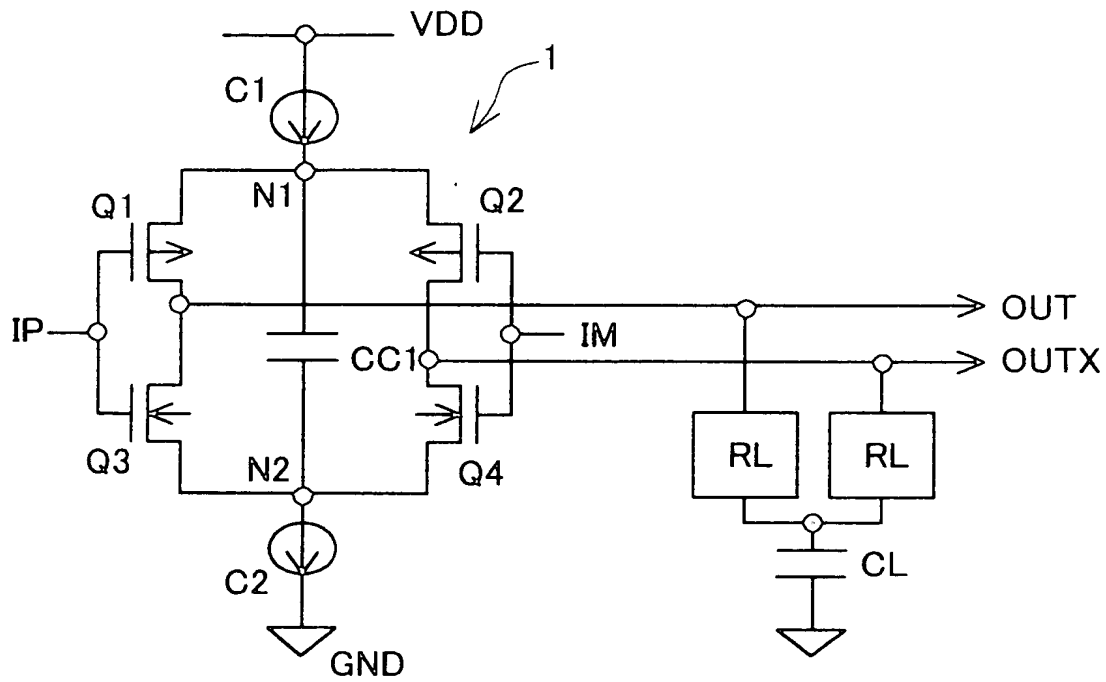
1	第 1 実施形態の差動信号出力回路
2 A、2 B、2 C、2 D	第 2 実施形態の差動信号出力回路
C 1	第 1 電流源
C 2	第 2 電流源
C 3、C 3 n、C 3 p、C 4、C 4 n、C 4 p	電流源
CC 1、CC 2 n、CC 2 p、CC 3 n、CC 3 p	過渡電流パス用コンデンサ
C L	負荷容量
CM 1、CM 2	MOS コンデンサ
C P	平行平板コンデンサ
Q 1、Q 2	第 1 差動対を構成する PMOS トランジスタ
Q 3、Q 4	第 2 差動対を構成する NMOS トランジスタ
Q 5 p、Q 6 p、Q 7 p、Q 8 p	差動対を構成する PMOS トランジスタ
Q 5、Q 6、Q 5 n、Q 6 n、Q 7、Q 8、Q 7 n、Q 8 n	差動対を構成する NMOS トランジスタ
R L	負荷抵抗
T P	ツイストペアケーブル
X c	過渡電流パス用コンデンサのインピーダンス



【書類名】 図面

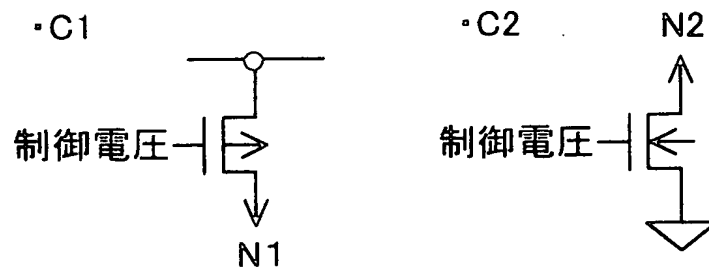
【図 1】

第1実施形態の差動信号出力回路



【図 2】

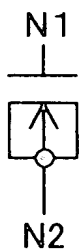
第1実施形態における電流源の回路例





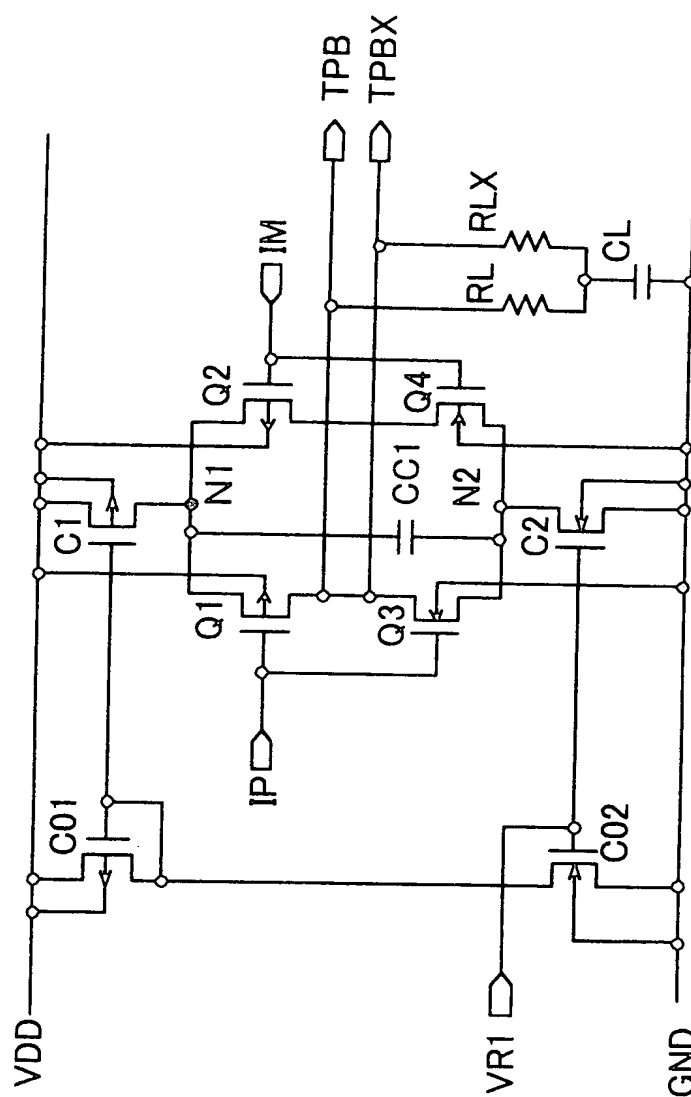
【図 3】

第 1 実施形態におけるコンデンサの具体例



【图 4】

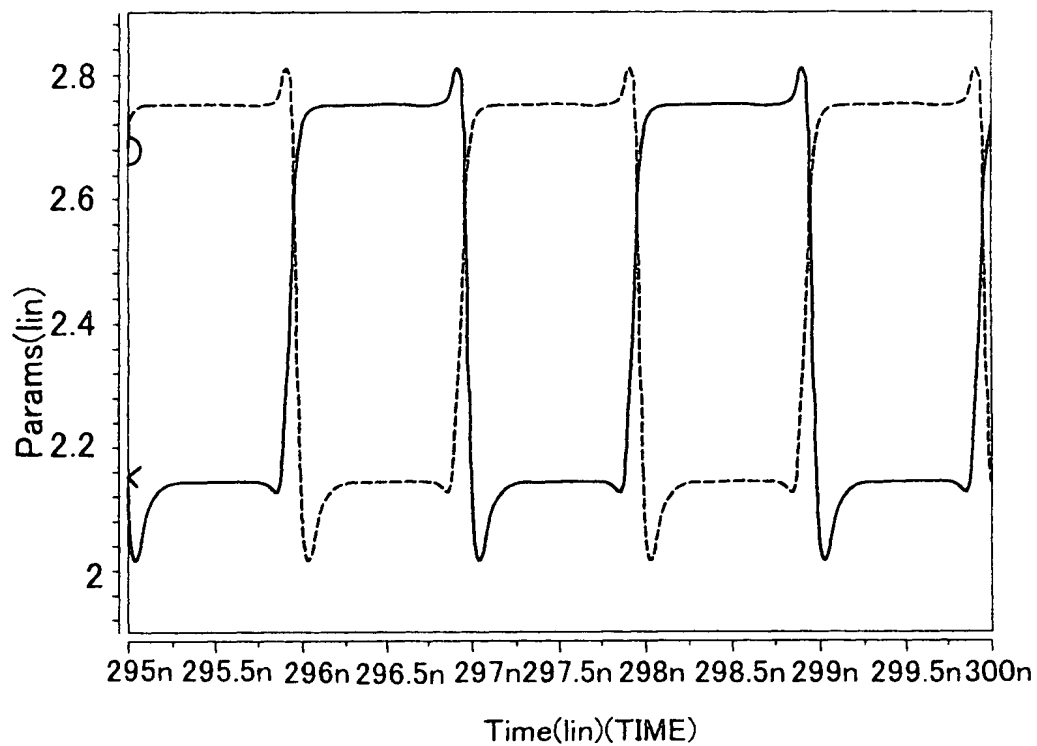
第1実施形態の具体例



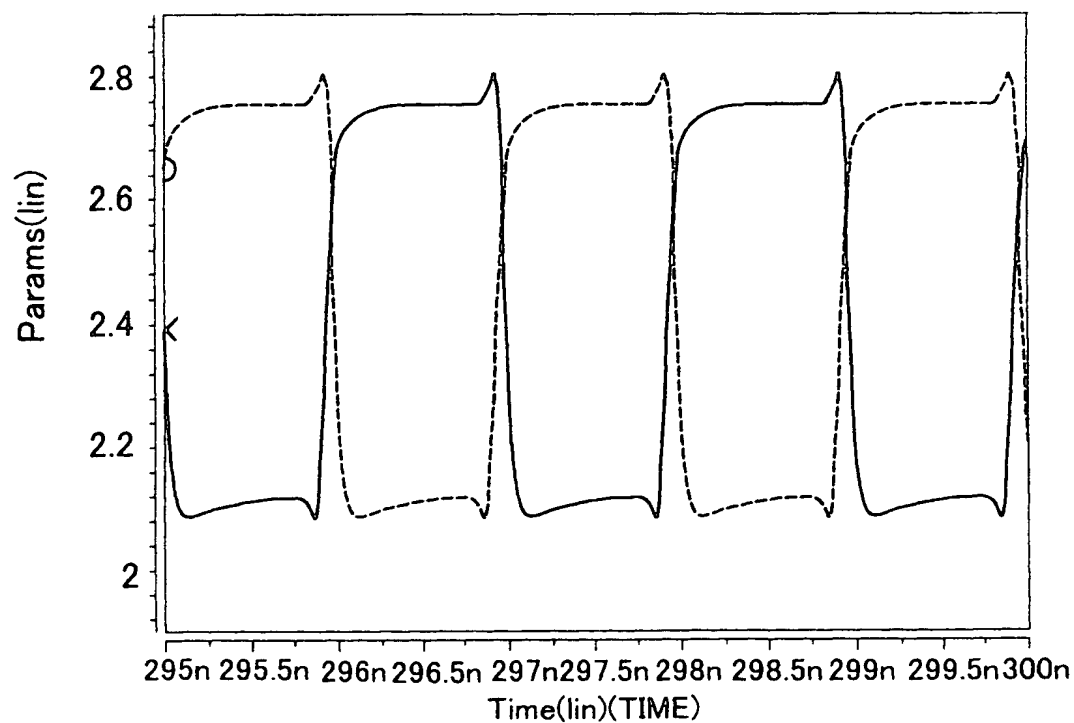
【図 5】

第1実施形態の具体例のシミュレーション差動出力波形

(A)従来技術

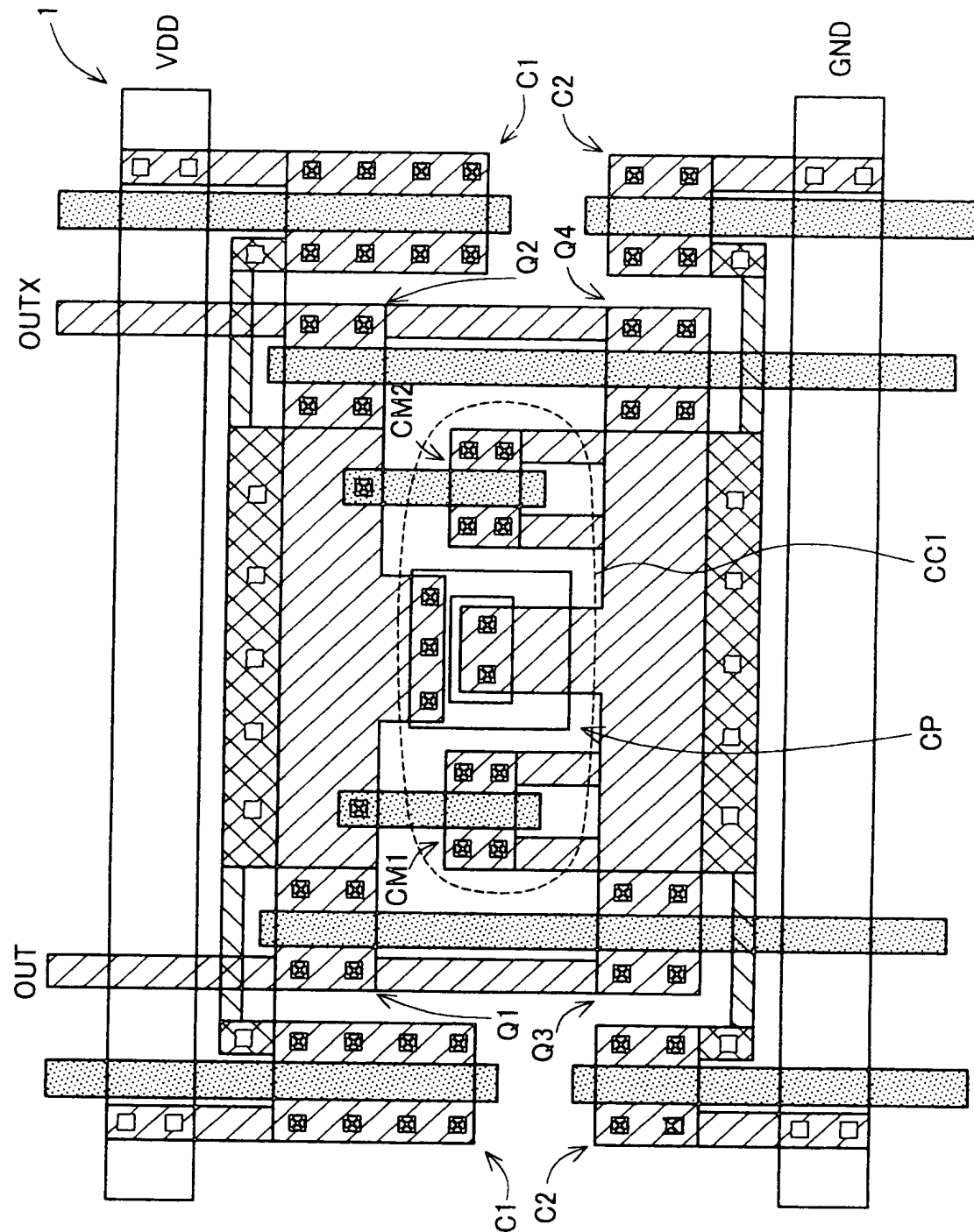


(B)第1実施形態



【図 6】

第1実施形態の差動信号出力回路のレイアウトパターン図

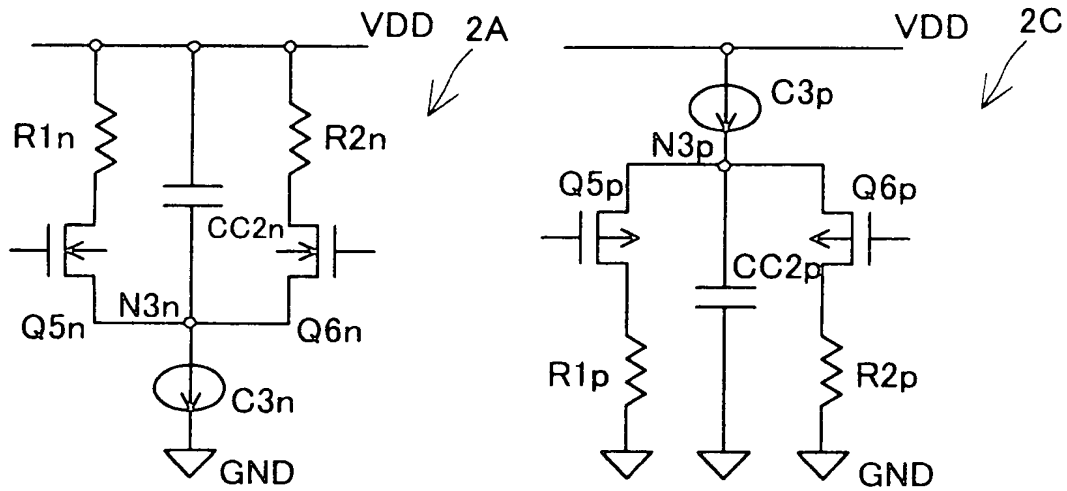




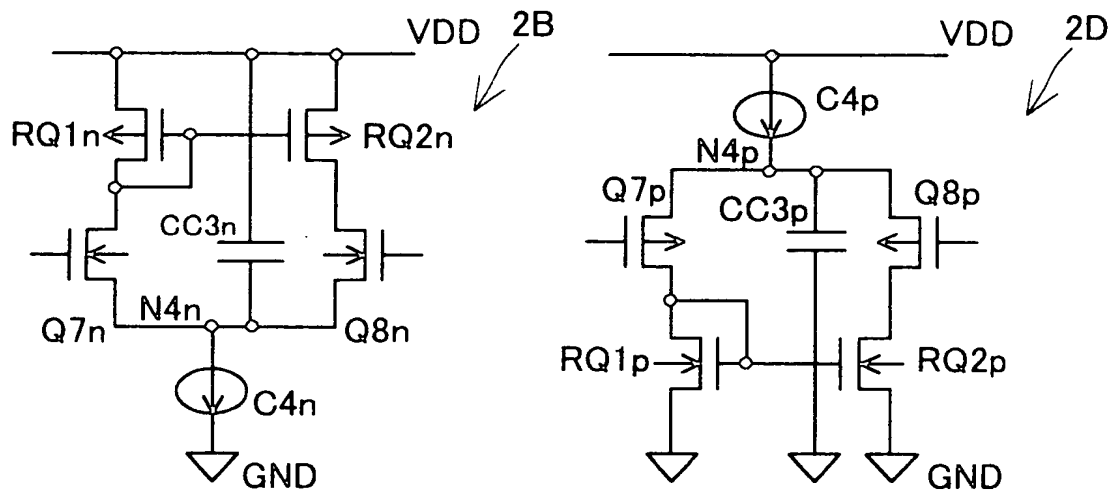
【図 7】

第2実施形態の差動信号出力回路

(A)受動負荷で構成したタイプ

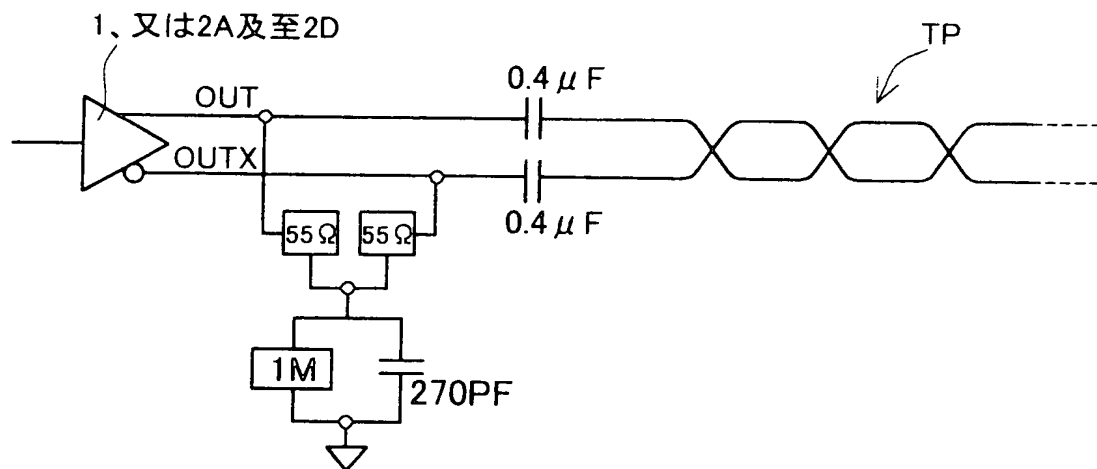


(B)能動負荷で構成したタイプ



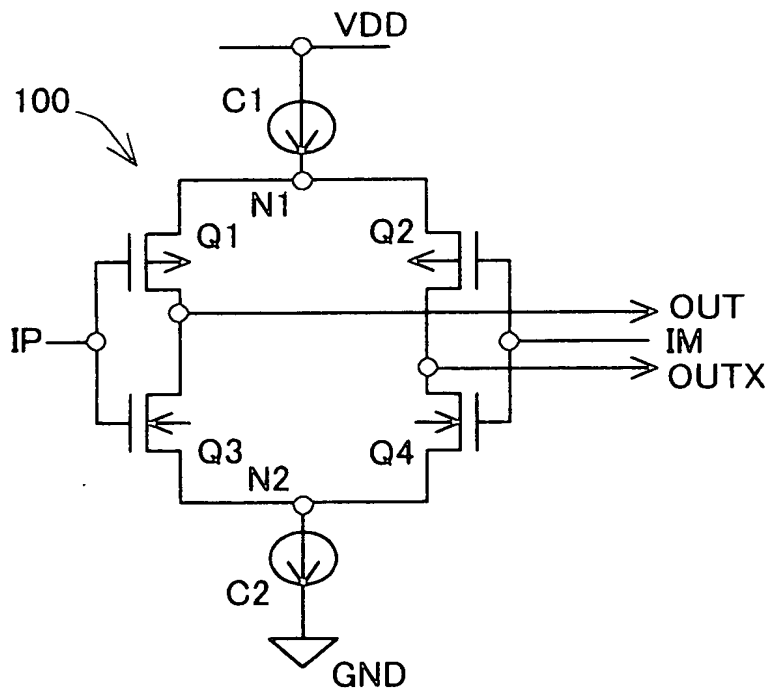
【図 8】

差動信号伝送システムの一例



【図 9】

従来技術における差動信号出力回路

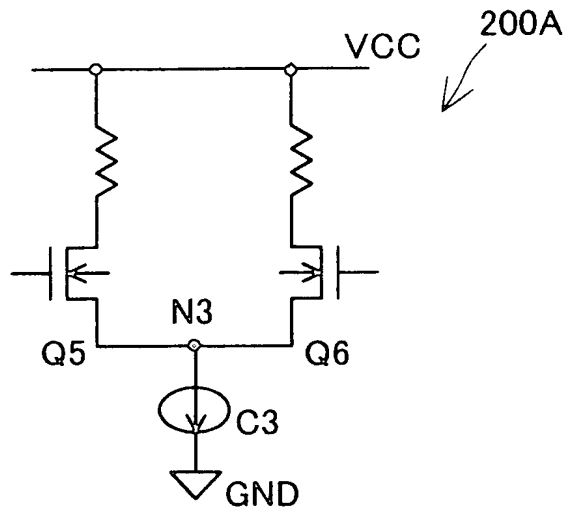




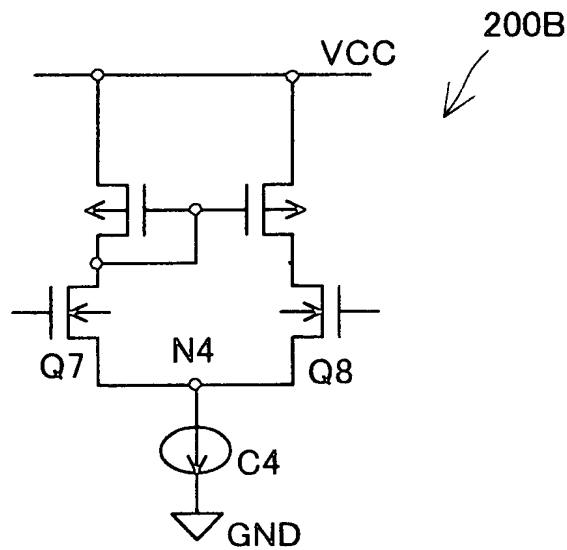
【図 1 0】

従来技術における他の差動信号出力回路

(A)受動負荷を備えたタイプ



(B)能動負荷を備えたタイプ



【書類名】 要約書

【要約】

【課題】 回路構成や製造ばらつきから生ずる応答特性のずれ、配線遅延差から生ずる入力信号タイミングのずれ等による差動出力端子の電圧オーバーシュート／アンダーシュートを抑制し、差動入力信号の安定した高速切り替えを実現できる差動出力信号回路を提供すること。

【解決手段】 第1電流源C1を介して電源電圧VDDと接続されPMOSトランジスタQ1、Q2で構成される第1差動対と、第2電流源C2を介して接地電圧GNDと接続されNMOSトランジスタQ3、Q4で構成される第2差動対とが、差動出力端子OUT、OUTXで互いに接続され、各差動対と電流源との接続ノードN1、N2間にコンデンサCC1が接続されて差動信号出力回路が構成される。差動入力端子IP、IMへの差動入力信号の切り替わり時に差動対がオフ状態となっても、コンデンサCC1が過渡的な電流パスを形成してノードN1、N2の電圧変動を抑制する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社